

# Digital Design LU

## P r o t o k o l l

Gruppe 00

Markus Sinnl, Matr. Nr. 0000000

a@æstudent.tuwien.ac.at

Bernhard Urban, Matr. Nr. 0725771

lewurm@gmx.net

Wien, am 25. Oktober 2009

# Aufgabe 1

## Logikanalysator

### 1.1 Teilaufgabe1: Messen von $f_{hsync}$ und $f_{vsync}$

Bei dieser Teilaufgabe mussten wir horizontale Synchronisationsfrequenz  $f_{hsync}$  und die vertikale Synchronisationsfrequenz  $f_{vsync}$  mittels geeignete Modi bestimmen. Dabei war gegeben, dass  $f_{hsync}$  per Timing-Mode und  $f_{vsync}$  per State-Mode gemessen wird.

#### 1.1.1 $f_{hsync}$

#### 1.1.2 $f_{hsync}$

### 1.2 Teilaufgabe2: Farbe des Pixels (317,148)

### 1.3 Teilaufgabe3: Hintergrund und Objektkante

### 1.4 Teilaufgabe4: Hsync-FSM

### 1.5 Ergebnisse

- Frequenz HSYNC =  $29.458\mu s$  == ??? Hz
- Frequenz VSYNC =  $15.317626ms$  == ??? Hz
- Farbe Pixel = (0,0,1)

- Farbe Hintergrund = (1,0,1)
- x-Koordinate = 144

# Aufgabe 2

## Design-Flow

- Blinkfrequenz = Hz

# Aufgabe 3

## VHDL

# Aufgabe 4

## Simulation und Test

- File Syntaxfehler:
- Zeilennummer Syntaxfehler:
- File Semantikfehler 1:
- Zeilennummer Semantikfehler 1:
- File Semantikfehler 2:
- Zeilennummer Semantikfehler 2: